

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-040678

(43)Date of publication of application : 13.02.1998

(51)Int.Cl. G11C 11/401

(21)Application number : 08-192246 (71)Applicant : NEC CORP

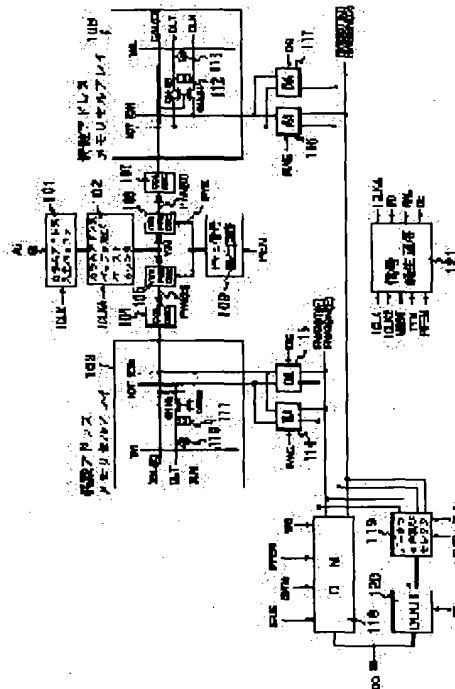
(22)Date of filing : 22.07.1996 (72)Inventor : NAKAOKA YUJI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory which can conduct readout after write burst without one clock of delay in the 2-bit prefetch system.

SOLUTION: Although write to sense amplifiers 111, 112 is initiated with delay of one clock period, the data-in-buffer 118 and the write amplifiers 114, 116 are disabled by signals WO, WAE generated by a signal generator 121 and internal clock signals ICLK at this time. During this period write data is exchanged, and the signal WO and the write amplifier activating signal WAE are brought to a high level to write data into two consecutive addresses. Also at the time of readout operation, the time of generation of internal address from the CLK signal and the control method of column select line CSL are made the same as those at the time of write operation and only at the time of write operation only the write operation until the DIN 118 memory cells 110, 113 is delayed by one clock period of the external clock signal CLK to make the selection operation of the CSL be undelayed.



LEGAL STATUS

[Date of request for examination] 22.07.1996

[Date of sending the examiner's decision of rejection] 17.07.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2001-14579

[Date of requesting appeal against
examiner's decision of rejection] 16.08.2001

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-40678

(43) 公開日 平成10年(1998) 2月13日

(51) Int. Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/401

G 1 1 C 11/34

3 6 2 C

審査請求 有 請求項の数 4 O L (全 18 頁)

(21) 出願番号 特願平8-192246

(22) 出願日 平成 8 年(1996) 7 月22日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中岡 裕司

東京都港区芝5丁目7番1号 日本電気株式会社社内

(74) 代理人 弁理士 松浦 兼行

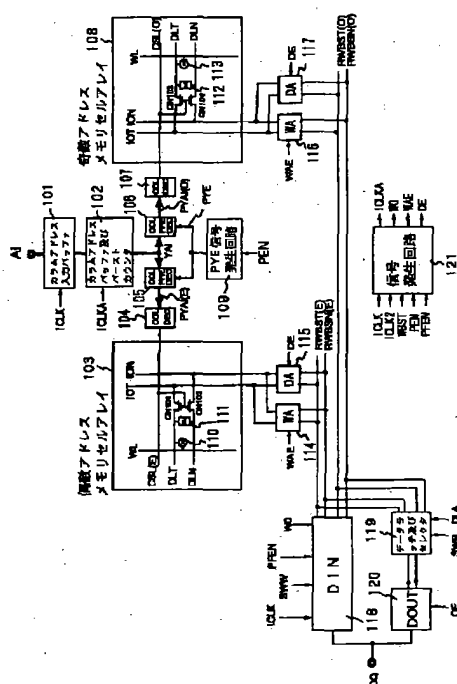
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 従来、2ビットプリフェッチ動作方式において書き込み動作後のリードコマンドはバースト終了後1クロックあけた後入れる必要がある。

【解決手段】 センスアンプ111、112への書き込みは、1クロック周期遅れて始まるが、信号発生回路121により発生される信号W0とWAEを、このときの内部クロック信号ICLKにより、データインバッファ118とライトアンプ114及び116をディスエーブルとして、この間に書き込みデータを交換し、次に信号W0とWAE信号がハイレベルとなることにより、連続する2つのアドレスにデータを書き込む。読み出し動作時もCLK信号からの内部アドレスの発生時間及びCSLの制御方法を書き込み動作時と同じにし、書き込み動作時のみDIN118メモリセル110、113までの書き込み動作のみ外部クロック信号CLKの1クロック周期分遅らせ、CSLの選択動作は遅らせない。

本発明の一実施の形態の回路構成図



【特許請求の範囲】

【請求項1】 外部クロック信号に同期して動作し、メモリセルへのアクセスは連続するアドレスの2ビットずつ同時にし、外部入出力ピンとのアクセスはシリアルに行う2ビットプリフェッチ方式が可能な半導体記憶装置において、

前記2ビットプリフェッチ方式動作時の内部アドレスの発生時間とカラムセレクトラインの制御方法とを、書き込み動作時と読み出し動作時とで同じにしたことを特徴とする半導体記憶装置。

【請求項2】 外部入力データをデータインバッファを介してライトアンプに供給し、更にカラムセレクトラインにより選択されたメモリセルにセンスアンプを通して書き込む書き込み動作時に、前記データインバッファからセンスアンプ及びメモリセルへの書き込み動作のみ前記外部クロック信号の1クロック周期分遅らせ、前記カラムセレクトラインの選択動作は遅らせないことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記書き込み動作時と読み出し動作時のそれぞれにおいて、使用されるイネーブル信号等の各種制御信号は前記外部クロック信号に基づき、アクティブ期間と非アクティブ期間のうち非アクティブ期間のみワンショットパルスに制御されることを特徴とする請求項1記載の半導体記憶装置。

【請求項4】 前記書き込み動作時において、前記カラムセレクトラインの切換中は書き込み動作を一時中断することを特徴とする請求項1記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置に係り、特に外部クロックに同期して動作する半導体記憶装置に関する。

【0002】

【従来の技術】近年、中央処理装置(CPU)の高速化にダイナミック・ランダム・アクセス(DRAM)も対応するために、外部システムクロックに同期したDRAM、すなわちSDRAM(シンクロナスDRAM)と呼ばれるDRAMが登場してきた。

【0003】このSDRAMとは、外部クロック(CLK)の立ち上がりエッジで各ピンに印加されたアドレスやコマンドをラッチし、更に外部クロックに同期して内部動作するDRAMのことを指す。非同期式の汎用DRAMとの比較で、簡単な動作説明を行うと、SDRAMでは外部クロックCLKのクロックエッジでアクティブコマンドが与えられる。これは汎用DRAMで/RAS(ロウアドレスストローブ)をハイレベルからローレベルにすることに相当する。すなわち、アクティブコマンドによりアドレスピンに印加されたロウアドレスに対応するワード線が選択される。逆に、SDRAMでは外部クロックCLKのクロックエッジで、プリチャージコマ

ンドが与えられたときは、汎用DRAMで/RASをローレベルからハイレベルにすることに相当し、これによりメモリセルにデータがリストアされ、選択されていたワード線が非選択になり、各部の節点がプリチャージされる。

【0004】SDRAMの動作モードの1つとして、CAS(カラムアドレスストローブ)レイテンシがあり、これはリードコマンドから最初のデータが出力してラッチできるまでのクロック数で定義される。連続するアドレスの読み出しや書き込みはバーストと呼ばれるが、連続するアドレスを発生する回路をバーストカウンタと呼ぶ。

【0005】SDRAMでは、外部クロックCLKに同期して、如何に高速に連続するアドレスの読み出しや書き込みができるか、つまり如何に外部クロックCLKの周波数を高められるかが性能アップのために重要である。動作周波数を上げる方法として、2ビットプリフェッチ方式と呼ばれるものがあり、偶数アドレスのメモリセルアレイ(EVEN)を奇数アドレスのメモリセルアレイ(ODD)の2つのセルアレイを用意し、セルへのアクセスは連続するアドレスの2ビットずつ同時にし、外部入出力ピンとのアクセスはシリアルに行うことで、動作周波数を上げる方式がある。

【0006】図6は従来の2ビットプリフェッチ方式の半導体記憶装置の一例の回路構成図を示す。同図において、この半導体記憶装置は、カラムアドレス入力バッファ601、カラムアドレスバッファ及びバーストカウンタ602、偶数アドレスメモリセルアレイ603、奇数アドレスメモリセルアレイ608、カラムデコーダ(CDEC)604及び607、カラムプリデコーダ(CPDEC)605及び606、PYE信号発生回路609、メモリセル610及び612、センスアンプ(SA)611及び613、ライトアンプ(WA)614及び616、データアンプ(DA)615及び617、データインバッファ(DIN)618、データラッチとセレクト619、データアウトバッファ(DOUT)620、第1の信号発生回路621、第2の信号発生回路622などから構成されている。

【0007】また、メモリセルアレイ603及び608内のQN601~QN604はNチャンネルトランジスタである。第1の信号発生回路621は内部クロック信号ICLK_W及びICLK_Rをそれぞれ発生する回路で、図7にその詳細回路図を示す。第2の信号発生回路622は、これらの内部クロック信号ICLK_W及びICLK_Rに基づいて、信号WO、WAE及びDEをそれぞれ発生する回路で、図8にその詳細回路図を示す。また、カラムプリデコーダ605(606)とPYE信号発生回路609の一例の詳細回路図を図9に、データインバッファ618の詳細回路図を図10に、データラッチとセレクト619及びデータアウトバッファ620の

詳細回路図を図11にそれぞれ示す。

【0008】第1の信号発生回路621は図7に示すように、内部クロック信号ICLKが入力されて信号N702を出力する直列接続された反転回路INV701及び702と、4入力のNAND回路NA701と、NA701の出力信号N703の極性を反転して信号ICLKWを出力する反転回路INV703と、内部クロック信号が入力されて信号N705を出力する直列接続された反転回路INV704及び705と、反転回路INV706及びINV707と、4入力NAND回路NA702と、NA702の出力信号N708を極性反転して信号ICLKRを出力する反転回路INV708とから構成されている。

【0009】また、第2の信号発生回路622は図8に示すように、クロック信号ICLKWが入力され、信号W0を出力する反転回路INV801～813及びNAND回路NA801～NA803からなる回路部と、NAND回路NA803の出力信号N814と反転回路INV813の出力信号W0が入力されるNAND回路NA804と、このNAND回路804の出力信号N816を極性反転してライトアンプ活性化信号WAEを出力する反転回路INV814と、クロック信号ICLKRが入力され、信号DEを出力する反転回路INV815～831及びNAND回路NA805～NA807からなる回路部とから構成されている。

【0010】カラムプリデコード605(606)とPYE信号発生回路609は図9に示すように、クロック信号ICLKW及びICLKRをそれぞれ入力信号として受け、信号N901を出力するNOR回路NO901と、信号N901を入力信号として受け、信号N914を出力する反転回路INV901～910及びNAND回路NA901～NA903と、信号914から信号PYEを出力する直列接続された反転回路INV911及び912とから構成されている。また、カラムプリデコード605(609)は上記の信号PYEと信号YA3N及びYA4Nに基づいて、カラムアドレスPYA3N、PYA3T4N、PYA3N4T及びPYA3T4Tをそれぞれ出力する反転回路INV913～INV918及び3入力NAND回路NA904～NA907から構成されている。

【0011】また、データインバッファ618は図10に示すように、内部クロック信号ICLKと外部データ信号DQと信号SWW及びPFENを入力信号として受け、レシーバA01、反転回路INVA01～INVA18、トランスファゲートTGA01～TGA08、NAND回路NAA01～NAA02、データラッチ及びドライバA02とA03とから構成され、信号RWBST(E)、信号RWBSN(E)、信号RWBST(O)、信号RWBSN(O)を出力する。

【0012】更に、データラッチとセレクト619は図

11に示すように、信号DLA及びSWRと信号RWBST(E)、信号RWBSN(E)、信号RWBST(O)、信号RWBSN(O)を入力信号として受け、反転回路INVB01～INVB10とトランスファゲートTGB01～TGB08からなる構成により、信号OUTTとOUTNを出力する。また、データアウトバッファ620は、図11に示すように、上記の信号OUTT及びOUTNと信号OEを入力信号として受け、NAND回路NAB01、NAB02、反転回路INVB01、INVB02及びNチャンネルトランジスタNB01及びNB02から構成され、データ信号DQを出力する。

【0013】次に、図12のタイミングチャートを参照して動作説明する。簡単のため、CASレイテンシ(CLT)=3、バースト長(BL)=4のときについて説明する。まず、ライトサイクルから説明するに、このときは外部クロック信号CLKに対してライトコマンドが入力されると、書き込み動作が始まり、同時にそのときの外部アドレス(この場合、Aa0の偶数アドレス)が取り込まれ、バーストの最初のアドレスが決まり、更に最初の書き込みアドレスであるAa0用の書き込みデータもDQピンから取り込まれる。書き込み動作時はWBST信号がローレベルからハイレベルとなり、バースト動作状態であることを示すPEN信号もローレベルからハイレベルとなる。

【0014】一方、プリフェッチ方法の場合、書き込み、読み出し動作は、ある最初のアドレスと連続する2つのアドレスに対して、同時に行われる。従って、書き込み動作は連続する2つのアドレスに対する2つの書き込みデータを取り込んだ後でなければ、実際の書き込み動作は始まらない。この場合のAa0とそれに連続するAa1のアドレスの書き込みデータの取り込みは、図6及び図10のデータインバッファ618で行われる。偶数(EVEN)アドレスか奇数(ODD)アドレスでスタートするかでSWW信号の状態が決まる。つまり、最初に取り込んだデータをどちらに使うかが決まる。この場合、偶数アドレスなので、SWW信号はハイレベルとなる。

【0015】また、外部クロック信号CLKによる毎回のデータ信号DQの取り込みは、内部クロック信号ICLKに同期して行われ、最初のデータ信号DQの取り込みを図10に示したINVA12とINVA13で作られたフリップフロップにラッチさせ、その次はINVA16とINVA17で作られたフリップフロップにラッチさせる。このラッチは、バーストスタート時に必ずPFEN信号をローレベルにすることで行われる。

【0016】PFEN信号は、バースト動作中は外部クロック信号CLKがローレベルからハイレベルになる度に、内部クロック信号ICLKにより状態を変化するように動く。従って、書き込み動作はバースト動作をスタ

ートした次のクロックサイクル(C2サイクル)から始まり、2クロックおきに連続する2つのアドレスに対して同時に書き込み動作が行われる。

【0017】図12では2番目の外部クロック信号CLKによりPFEN信号がローレベルからハイレベルになり、WBST信号とPEN信号もハイレベルになっているので、内部クロック信号ICLKがローレベルからハイレベルのワンショット信号となる。これにより、内部のバーストスタートアドレスが発生され、図9の回路図よりPYE信号がローレベルからハイレベルのワンショット幅の長い信号となり、連続する2つのアドレス(EVEN/ODD)に対するプリデコード信号が発生され、これにより奇数と偶数の2つのCSL(カラムセレクトライン)信号もローレベルからハイレベルのワンショットパルスとなる。

【0018】これと同時に、図8に示した第1の信号発生回路により、W0信号とライトアンプ活性化信号WAEもローレベルからハイレベルのワンショットパルスとなる。W0信号により図10に示したデータインバッファ618が偶数/奇数両方のRWBST/Nを駆動し、ライトアンプ活性化信号WAEによりライトアンプ614、616を動作させ、IOT/Nを使って、空いている2つのCSL(偶数/奇数)を通して2つのセンスアンプ611及び612に同時に書き込まれる。よって、DLT/Nを通じて2のメモリセルにデータが書き込まれる。

【0019】書き込み動作は、CSL信号がワンショットで空いている間に行われる。つまり、2つのCLKサイクルの間、書き込み動作をしていることを意味する。次の連続する2つのアドレス(Aa2とAa3)に対する書き込みは、次にPFEN信号がローレベルからハイレベルになる時、つまり、図12でのサイクルC4の時に内部クロック信号ICLKがワンショットとなり行われる。前記と同様に、2つの連続する内部アドレス(Aa2とAa3)が発生され、PYE、W0、WAEの各信号がローレベルからハイレベルのワンショットになることにより行われる。前記のアドレス(Aa0とAa1)の時と同様に、2つのCLKサイクルを使って行われる。

【0020】以上説明したように、2ビットプリフェッチ方式を使った書き込み動作は、この例では、2つの書き込みデータを取り込んだ後、内部アドレスを発生するため、CSL信号の立ち上がりを読み出し動作に対し1CLKサイクル分遅れ、実際の書き込み動作も1CLKサイクル分遅れる。従って、バースト長が「4」の場合、バーストの書き込み動作を続けて行うときは、4つのCLKサイクルを入れた後、続けて次のアドレス群に対するライトコマンドを入れることはできるが、バーストの書き込み動作の後、すぐにリードコマンドを入れることはできない。つまり、1CLKサイクルあけた後、

読み出し動作のコマンドを入れなければならない。

【0021】これは、読み出し動作はリードコマンドが入力されると、同時に読み出しに対応するアドレスが入力され、内部にそれに対する偶数/奇数アドレスが発生し、2つのCSL信号が立ち上がるため、書き込み時より1CLKサイクル分早いので、書き込み時の立ち上がりが遅いCSLと重なる可能性があるためである。

【0022】図12のリードコマンドを入れた外部クロック信号ICLKのサイクルC6は、この状況を表している。次に、この後の読み出し動作について説明する。リードコマンドが入力されると、図12に示すように、WBST信号はローレベル、PEN信号はハイレベルに変化する。従って、図7に示した第1の信号発生回路621が出力する内部クロック信号ICLK_Rは、図12に示すようにローレベルからハイレベルのワンショットパルスとなり、ライト時と同様にPYE信号が比較的長いワンショットパルスとなる。

【0023】これにより、内部プリデコードアドレスが発生され、連続する2つのアドレス(この場合、Ab0とAb1)のCSL(E)及びCSL(O)が図12に示すようにローレベルからハイレベルとなる。従って、偶数と奇数アドレスのメモリセルのデータがDLT/NからIOT/Nを通して、図6のデータアンプ(DA)615、617に送られる。

【0024】一方、内部クロック信号ICLK_Rのワンショットにより、図8に示した第2の信号発生回路622により発生されるデータアンブイネーブル(DE)信号も図12に示すように、ローレベルからハイレベルとなり、DA615、617を動作状態とするから、先のIOT/Nを通して入力されるCSL(E)及びCSL(O)が増幅されてRWBST/N(E)とRWBST/N(O)を駆動する。

【0025】従って、連続する2つのアドレスAb0とAb1のデータが同時に図12に示すように、RWBST/N(E)とRWBST/N(O)に伝わり、これより図11に示した回路構成のデータラッチとセクタ619へ供給され、その後信号DLAが図12に示すようにワンショットパルスとなることにより、反転回路INVB02とINVB03、反転回路INVB04とINVB05、反転回路INVB06とINVB07、反転回路INVB08とINVB09で構成された各フリップフロップにラッチされる。

【0026】この場合、CASレイテンシ(CLT)=3なので、リードコマンドを入力した外部クロック信号CLKから3つ目のCLKがローレベルからハイレベル(図12のC8サイクル)になると、SWR信号がローレベルとなり、反転回路INVB02とINVB03、反転回路INVB04とINVB05にラッチされていた最初アドレスAb0(偶数)のデータをOUTT/Nへ出力し、更に出力イネーブル(OE)信号がローレ

ベルからハイレベルに変化することによりデータアウトバッファ620を通してDQピンから外部へ出力される。

【0027】次のクロックCLK(図12のC9サイクル)でSWR信号がハイレベルとなり、図11の反転回路INVB06とINVB07、反転回路INVB08とINVB09にラッチされていた次のアドレスAb1(奇数)のデータがOUTT/Nへ出力され、更にデータアウトバッファ620を通してDQピンから外部へ出力される。以下、上記と同様にして、アドレスAb2、Ab3のデータが順次外部へ出力され、バースト長4の読み出し動作が完了する。

【0028】

【発明が解決しようとする課題】しかるに、この従来の半導体記憶装置は、図12のタイミングチャートに示したように、書き込み時はライトコマンドが入力されてから2ビット分の書き込みデータが確定した後、つまり、2クロック目から内部アドレスを発生させ、連続する2つのアドレスに対するCSLを選択した後、書き込み動作を行うため、読み出し時と比較してCSL信号を立ち上げるタイミングがリード/ライトコマンドから数えると1クロック分遅い。従って、従来の半導体記憶装置では、書き込み動作後のリードコマンドはバースト終了後1クロックあけた後入れる必要があった。

【0029】本発明は上記の点に鑑みなされたもので、2ビットプリフェッチ方式において書き込みバースト後の読み出しを1クロック遅らせることなくできる半導体記憶装置を提供することを目的とする。

【0030】

【課題を解決するための手段】本発明は上記の目的を達成するため、外部クロック信号に同期して動作し、メモリセルへのアクセスは連続するアドレスの2ビットずつ同時にし、外部入出力ピンとのアクセスはシリアルに行う2ビットプリフェッチ方式が可能な半導体記憶装置において、2ビットプリフェッチ方式動作時の内部アドレスの発生時間とカラムセレクトラインの制御方法とを、書き込み動作時と読み出し動作時とで同じにしたことを特徴とする。

【0031】このため、本発明は外部入力データをデータインバッファを介してライトアンプに供給し、更にカラムセレクトラインにより選択されたメモリセルにセンスアンプを通して書き込む書き込み動作時に、データインバッファからセンスアンプ及びメモリセルへの書き込み動作のみ外部クロック信号の1クロック周期分遅らせ、カラムセレクトラインの選択動作は遅らせないことを特徴とする。これにより、本発明では、実際の書き込み動作のみが1クロック周期分遅らせ、書き込み動作から読み出し動作の切り換わりの際にリードコマンドの入力を1クロック周期遅らせる必要がなくなる。

【0032】また、本発明は、書き込み動作時と読み出

し動作時のそれぞれにおいて、使用されるイネーブル信号等の各種制御信号は外部クロック信号に基づき、アクティブ期間と非アクティブ期間のうち非アクティブ期間のみワンショットパルスに制御されることを特徴とする。

【0033】更に、本発明は書き込み動作時において、カラムセレクトラインの切換中は書き込み動作を一時中断することを特徴とする。

【0034】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図1は本発明になる半導体記憶装置の一実施の形態の回路構成図を示す。同図に示すように、この半導体記憶装置は、カラムアドレス入力バッファ101、カラムアドレスバッファ及びバーストカウンタ102、偶数アドレスメモリセルアレイ103、奇数アドレスメモリセルアレイ108、カラムデコーダ(CDEC)104及び107、カラムプリデコーダ(CPDEC)105及び106、PYE信号発生回路109、メモリセル110及び112、センスアンプ(SA)111及び113、ライトアンプ(WA)114及び116、データアンプ(DA)115及び117、データインバッファ(DIN)118、データラッチとセレクト119、データアウトバッファ(DOUT)120、信号発生回路121などから構成されている。

【0035】また、メモリセルアレイ103及び108内のQN101~QN104はNチャンネルトランジスタである。この実施の形態は信号発生回路121の構成とカラムプリデコーダ105(106)とPYE信号発生回路109の構成に特徴があり、それ以外は図6に示した従来の半導体装置と同様である。図2は信号発生回路121の一例の詳細回路図、図3はPYE信号発生回路109の一例の詳細回路図を示す。データインバッファ(DIN)118は従来と同様の図10に示す回路構成であり、データラッチとセレクト119、データアウトバッファ(DOUT)120は従来と同様の図11に示す回路構成である。

【0036】信号発生回路121は、図2に示すように、内部クロック信号ICLKが入力されて信号N202を出力する直列接続された反転回路INV201及び202と、信号PFENの極性を反転する反転回路INV203と、信号PEN、N202及び反転回路INV203の出力信号N203が入力される3入力NAND回路NA201と、NAND回路NA201の出力信号N204を極性反転してクロック信号ICLKAを出力する反転回路INV204を有する。

【0037】また、信号発生回路121は、内部クロック信号ICLKが入力されて信号N208を出力する4段直列接続された反転回路INV205~INV208と、信号N208及び信号PFENが入力されるAND

回路及びNOR回路NANO201と、信号PEN及び信号WBSTが入力されて信号N212を出力するNAND回路NA206と、信号N212が入力されて信号N216を出力する4段直列接続された反転回路INV212～INV215と、内部クロック信号ICLKに基づいて信号N220を出力する反転回路INV216～INV218及びトランスファゲートTG201～TG202と、信号N216及びN220に基づいて信号N222を出力するNOR回路NO201と、NANO201の出力信号に基づいて信号W0と信号WAEとを出力する反転回路INV209～211及びNAND回路NA202を有する。

【0038】更に、信号発生回路121は、クロック信号ICLK2、信号PFEN、信号PEN及び信号WBSTを入力信号として受け、データインーブル信号DEを出力する反転回路INV219～INV224と、NAND回路NA203～NA205とからなる回路部を有する。

【0039】一方、PYE信号発生回路109は図3に示すように、バースト期間ハイレベルのPEN信号を入力信号として受け、PYE信号を出力する4段直列接続された反転回路INV301～INV304とから構成されている。また、カラムプリデコード105(106)は図3に示すように、上記PYE信号が3つの入力端子のうちの1つの入力端子にそれぞれ入力され、他の2つの入力端子にカラムアドレスYA3N、YA4Nが直接に又は反転回路INV305又は306を介して入力される3入力NAND回路NA301～304と、NAND回路NA301～304の各出力信号N306～N309の極性を反転してカラムアドレスPYA3N4N～PYA3T4Tを出力する反転回路INV307～INV310とから構成されている。

【0040】次に、この実施の形態の動作について、図4に示すタイミングチャートを併せ参照して説明する。ここでは、簡単のため、CASレイテンシ(CLT)が「3」、バースト長(BL)が「4」のときについて説明する。まず、ライトサイクルの動作について説明する。外部クロック信号CLKに同期してライトコマンドが入力されると、書き込み動作が開始され、同時にその時の外部アドレス(この場合Aa0(偶数アドレス)とする)が取り込まれ、バーストの最初のアドレスが決まり、最初の書き込みアドレスであるAa0用の書き込みデータをDQピンから取り込む。

【0041】すなわち、外部クロック信号CLKに同期してライトコマンドが図4にC1で示すサイクルでライトコマンドが入力されたものとする、図4に示すようにWBST信号がローレベルからハイレベルに変化し、バースト動作状態であることを示すPEN信号もローレベルからハイレベルに変化する。このときPFEN信号は図4に示すようにローレベルであり、ローレベルから

バーストスタートとなる。PEN信号がハイレベル、PFEN信号がローレベルになると、図2に示した信号発生回路121の反転回路INV204から外部クロック信号ICLKに同期した、ハイレベルのワンショットパルスの内部クロック信号ICLKAが図4に示すように発生する。

【0042】図4にAiで示すようにカラムアドレス入力バッファ101に既に取り込まれていた外部アドレスAa0は、この内部クロック信号ICLKAでカラムアドレスバッファ及びバーストカウンタ102に図4にYAiで示すように取り込まれる。PEN信号がハイレベルになると、図3に示した反転回路INV301～INV304による遅延時間経過後、PYE信号も図4に示すようにローレベルからハイレベルに変化し、カラムデコード(CDEC)104及び107から出力される連続する2つのアドレスに対するCSL(E)及びCSL(O)も図4に示すように変化する。この内部アドレスYAiの発生からCSL(E)及びCSL(O)の立ち上がりまでは、書き込み動作時も後述の読み出し動作時も同じである。

【0043】一方、プリフェッチ方法なので、従来例と同様に実際のメモリセルへの書き込み動作は2つ目の書き込みデータを取り込んだ後、つまり、2クロック目の外部クロック信号CLKの立ち上がりから偶数アドレスと奇数アドレスの両方のRWBST/Nの駆動からIOT/Nの駆動、センスアンプ、つまりメモリセルへの書き込みが開始される。これは図2に示した信号生成回路121において、内部クロック信号ICLKによって制御されたトランスファゲートTG201、TG202、反転回路INV217からなる回路部により、信号W0及び信号WAEの立ち上がりを図4に示すように1クロック周期遅らせることによる。

【0044】書き込み動作を2クロック目から行うのは、従来例と同じであるが、この実施の形態の場合、CSL(E)及びCSL(O)信号の立ち上がりが1クロック周期分早いので、従来例のようにCSL(E)及びCSL(O)信号の立ち上がりを待つ必要がないので、2クロック目からの書き込み動作の開始を従来例に比較し、高速に行うことができるので、CSL(E)及びCSL(O)信号の立ち上がり及び切り換え時間を読み出し動作と同様にすることができる。ここで、この場合のアドレスAa0とそれに連続するアドレスAa1のアドレス書き込みデータの取り込みは、従来例と同様に図10のデータインバッファ118で行われる。

【0045】次の連続する2つのアドレス(Aa2とAa3)に対する書き込みは、最初と同様に、PFEN信号が図4のC4サイクルでハイレベルからローレベルとなり、内部クロック信号ICLKAのワンショットパルスが発生され、連続する2つのアドレス(Aa2とAa3)に対する内部アドレスに切り換わるので、それに対

するCSL信号に切り換わる。この時CSL信号は従来例のようなワンショット信号ではなく、図4にCSL(E)及びCSL(O)で示すように連続的に切り換わっていく。

【0046】RWBST/N~IOT/N~センスアンプ111、112への書き込みは、1クロック周期遅れて始まるが、図2の信号発生回路121により発生される信号W0とWAEを、このときの内部クロック信号ICLKによりハイレベルからローレベルにすることにより、データインバッファ118とライトアンプ(WA)114及び116をディスエーブルとして、この間に書き込みデータを交換し、次に信号W0とWAE信号がローレベルからハイレベルとなることにより、アドレスAa2及びAa3の2つのアドレスにデータを書き込む。

【0047】また、書き込み動作は、従来例と同様に、2クロックサイクル間行われる。ここでのBL(バースト長)が「4」のときの書き込みは、WBST信号がハイレベルに立ち上がってから4クロック後PEN信号がハイレベルからローレベルになり、W0信号とWAE信号がハイレベルからローレベルになることで終わる。しかし、この場合、すぐ次のクロックサイクル(図4のC5サイクル)で読み出し動作が始まったので、図4に示すように、PEN信号はハイレベルのままでWBST信号がハイレベルからローレベルになることでW0信号、WAE信号がハイレベルからローレベルとなり終了する。

【0048】書き込み動作から読み出し動作への切り換えにより、新しいバーストのスタートアドレスが取り込まれるが、書き込み動作の時と同様に、内部クロック信号ICLKにより連続する2つのアドレス(Ab0とAb1)が内部で生成され、最終的に2つのCSL(E)及びCSL(O)がそれぞれ図4に示すように、ハイレベルに立ち上がる。

【0049】この2つのCSL(E)及びCSL(O)の切り換えは、書き込み時の切り換えと同様に行われる。読み出し時も2つのCSL(E)及びCSL(O)は1ショット制御していない。2つのCSL(E)及びCSL(O)の立ち上がりを見計らって、クロック信号ICLK2がハイレベルとなり、図2の信号発生回路121において反転回路INV224から取り出されるDE信号がローレベルからハイレベルとなる。これにより、図1に示したデータアンプ(DA)115及び117がそれぞれ動作状態とされ、メモリセルのデータを増幅し、RWBST/N(E/O)信号を駆動する。

【0050】その後、信号DLAが図4に示すように、ワンショット信号として発生され、これにより図11に示したデータラッチとセクタ119の反転回路INVB02とINVB03、反転回路INVB04とINVB05、反転回路INVB06とINVB07、反転回

路INVB08とINVB09で構成された各フリップフロップにラッチされる。

【0051】その後、外部クロック信号CLKから2つ目のCLKがローレベルからハイレベル(図4のC7サイクル)になると、SWR信号がローレベルとなり、反転回路INVB02とINVB03、反転回路INVB04とINVB05にラッチされていた最初のアドレスAb0(偶数)のデータをOUTT/Nへ出力し、更に出力イネーブル(OE)信号が図4に示すように、ローレベルからハイレベルに変化することによりデータアウトバッファ120を通してDQピンから外部へ出力される。

【0052】次のクロックCLKでSWR信号がハイレベルとなり、図11の反転回路INVB06とINVB07、反転回路INVB08とINVB09にラッチされていた次のアドレスAb1(奇数)のデータが図4に示すようにOUTT/Nへ出力され、更にデータアウトバッファ120を通してDQピンから外部へ出力される。

【0053】このように、同時に読み出した2ビット分のデータを2クロック使って読み出しながら、次の連続する2つのアドレス(Ab2とAb3)のCSL(E)及びCSL(O)信号と前のCSL(E)及びCSL(O)信号とが切り換えられる。この時を見計らって、図2に示した信号発生回路121によりDE信号ディスエーブルにすることで読み出しデータ、つまりRWBST(E)及びRWBST(O)とを切り換える。以下、上記と同様にして、アドレスAb2、Ab3のデータが順次外部へ出力され、バースト長4の読み出し動作が完了する。

【0054】次に、本発明の第2の実施の形態について説明する。図5は本発明になる半導体記憶装置の要部の信号発生回路の第2の実施の形態の回路図を示す。この信号発生回路は図1の信号発生回路121に相当し、この第2の実施の形態は信号発生回路以外は図1の全体構成図と同じである。図5に示す信号発生回路は、内部クロック信号ICLKが入力されて信号N502を出力する直列接続された反転回路INV501及び502と、信号PFENの極性を反転する反転回路INV503と、信号PEN、N502及び反転回路INV503の出力信号N503が入力される3入力NAND回路NA501と、NAND回路NA501の出力信号N504を極性反転してクロック信号ICLKを出力する反転回路INV504を有する。

【0055】また、図5に示す信号発生回路は、内部クロック信号ICLKが入力されて信号N508を出力する4段直列接続された反転回路INV505~INV508と、信号N508及び信号PFENが入力されるAND回路及びNOR回路NANO501と、信号PEN及び信号WBSTが入力されて信号N512を出力する

NAND回路NA506と、信号N512が入力されて信号N516を出力する4段直列接続された反転回路INV512～INV515と、内部クロック信号ICLKに基づいて信号N520を出力する反転回路INV516～INV518及びトランスファゲートTG501～TG502と、信号N516及びN520に基づいて信号N522を出力するNOR回路NO501と、NA501の出力信号に基づいて信号W0と信号WAEとを出力する反転回路INV509～511及びNAND回路NA502を有する。

【0056】更に、図5に示す信号発生回路は、クロック信号ICLK2、信号PFEN、信号PEN及び信号WBSTを入力信号として受け、データインパルス信号DEを出力する反転回路INV519～INV524と、NAND回路NA503～NA505とからなる回路部を有する。更に、NAND回路NA503の出力信号N524は、反転回路INV525及びINV526をそれぞれ介して信号DEOとして取り出され、NAND回路502に供給される。

【0057】すなわち、上記の図5に示す信号発生回路は、図2に示した信号発生回路121と比較すると、内部クロック信号ICLKA、信号W0及び信号DEを発生する回路部分は同一であるが、ライトアンプ活性化信号WAEを発生する回路部が異なる。

【0058】第1の実施の形態では、書き込み動作時、バースト長4のときの最初の2つのアドレス(Aa0とAa1)への書き込みの後、次の2つのアドレス(Aa2とAa3)のCSL(E)及びCSL(O)は、図4のタイミングチャートでC3サイクルのクロック信号CLKの立ち上がりで切り換わり、これらのアドレスへの実際の書き込み動作はC4サイクルのクロック信号CLKの立ち上がりで行われる。

【0059】従って、クロック信号CLKのクロックサイクルが伸びてくると、CSLの切り換わりから書き込みデータの切り換わりまで間が空くので、前のサイクルの書き込み動作を行っている最中にCSL(E)及びCSL(O)の切り換わりがおきる。つまり、新しいアドレスに対して、古いデータを一度書いた後、書き込みデータが新しくなり、正しいデータを書き込むこととなる。この動作自体は間違っていないのだが、CSL(E)及びCSL(O)の切り換わりのときに複数のCSL、つまり関係のないCSLが一瞬立ち上がる可能性があり、最悪の場合、この関係のないアドレスのセンスアンプにデータを書き込む可能性がある。

【0060】そこで、図5に示した第2の実施の形態の信号発生回路は、CSL(E)及びCSL(O)信号が切り換わるのを見計らって、信号WAEをワンショットパルスとしディスイーブルにすることで、書き込み動作を停止させるようにしている。つまり、複数のCSLが上がる可能性があるときは、書き込み動作を一時中断

とて誤書き込みを防止するものである。

【0061】

【発明の効果】以上説明したように、本発明によれば、2ビットプリフェッチ方式の動作時に、実際の書き込み動作(つまり、データインバッファ～RWBST/N～IOT/N～センスアンプ～メモリセルまで)のみを1クロック周期分遅らせるようにしたため、書き込み動作から読み出し動作の切り換わりの際にリードコマンドの入力を1クロック周期遅らせる必要がなくなり、従来に比べて書き込み動作後に高速に読み出しができる。

【0062】また、本発明によれば、書き込み動作時と読み出し動作時のそれぞれにおいて、使用されるイネーブル信号等の各種制御信号は外部クロック信号に基づき、アクティブ期間(ハイレベル期間)と非アクティブ期間(ローレベル期間)のうち非アクティブ期間のみワンショットパルスに制御することにより、サイクルを伸ばすとアクティブ期間がのびていくようにできるため、動作限界サイクルを短くするためにアクティブ期間を短くする必要がなく、タイミング設定が簡単となり、回路の動作マージンを大きくできる。

【0063】更に、本発明によれば、書き込み動作時において、カラムセレクトラインの切換中は書き込み動作を一時中断するようにしたため、複数のカラムセレクトラインが立ち上がる可能性があるカラムセレクトラインの切換中の誤書き込みを防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の回路構成図である。

【図2】図1中の信号発生回路の第1の実施の形態の詳細回路図である。

【図3】図1中のPYE信号発生回路の一例の詳細回路図である。

【図4】本発明の第1の実施の形態の動作説明用タイミングチャートである。

【図5】本発明の要部の第2の実施の形態の詳細回路図である。

【図6】従来の一例の回路構成図である。

【図7】図6中の第1の信号発生回路の一例の詳細回路図である。

【図8】図6中の第2の信号発生回路の一例の詳細回路図である。

【図9】図6中のカラムプリデコードとPYE信号発生回路の一例の詳細説明図である。

【図10】図6中のデータインバッファの一例の詳細説明図である。

【図11】図6中のデータアウトバッファ及びデータラッチとセレクトの一例の詳細説明図である。

【図12】図6の動作説明用タイミングチャートである。

【符号の説明】

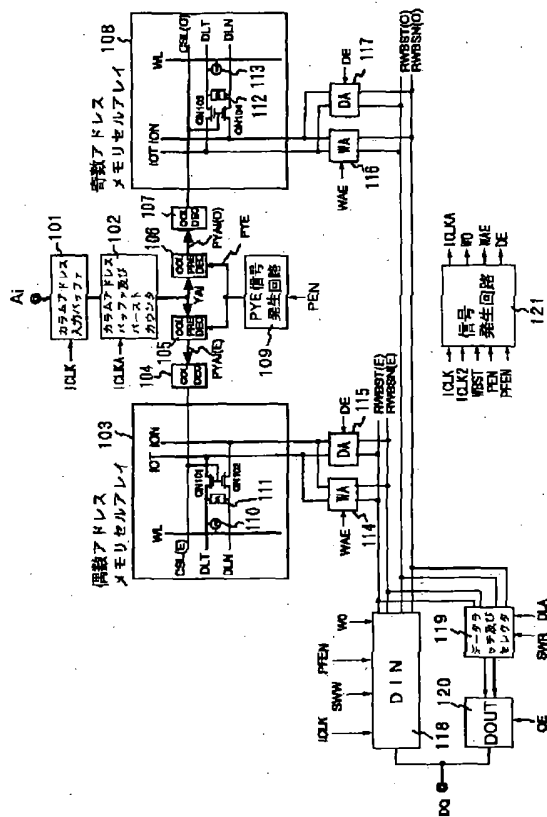
101カラムアドレス入力バッファ

102 カラムアドレスバッファ及びバーストカウンタ
 103 偶数アドレスメモリセルアレイ
 104、107 カラムデコーダ (CDEC)
 105、106 カラムプリデコーダ (CPDEC)
 108 奇数アドレスメモリセルアレイ
 109 PYE信号発生回路
 110、112 メモリセル
 111、113 センスアンプ (SA)
 114、116 ライトアンプ (WA)
 115、117 データアンプ (DA)
 118 データインバッファ (DIN)

119 データラッチとセクタ
 120 データアウトバッファ (DOUT)
 121 信号発生回路
 INV201~INV224、INV301~INV310、INV501~INV524 反転回路
 NA201~NA206、NA301~NA304、NA501~NA506 NAND回路
 NO201、NO501 NOR回路
 NANO201、NANO501 NAND及びNOR回路
 TG201、TG202 トランスファゲート

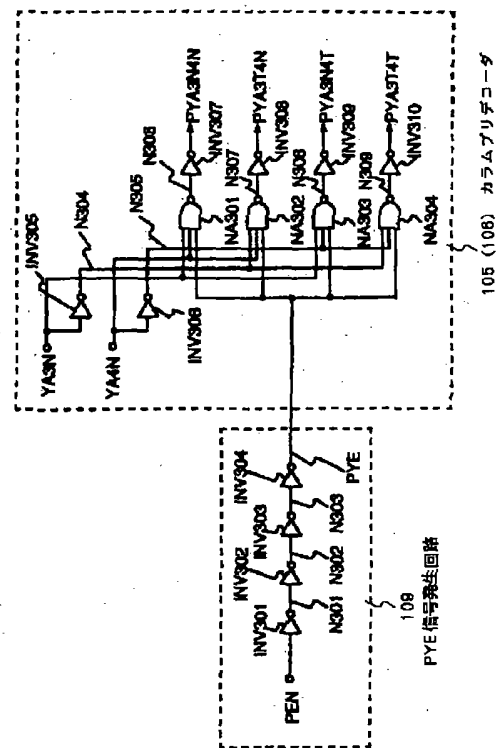
【図1】

本発明の一実施の形態の回路構成図



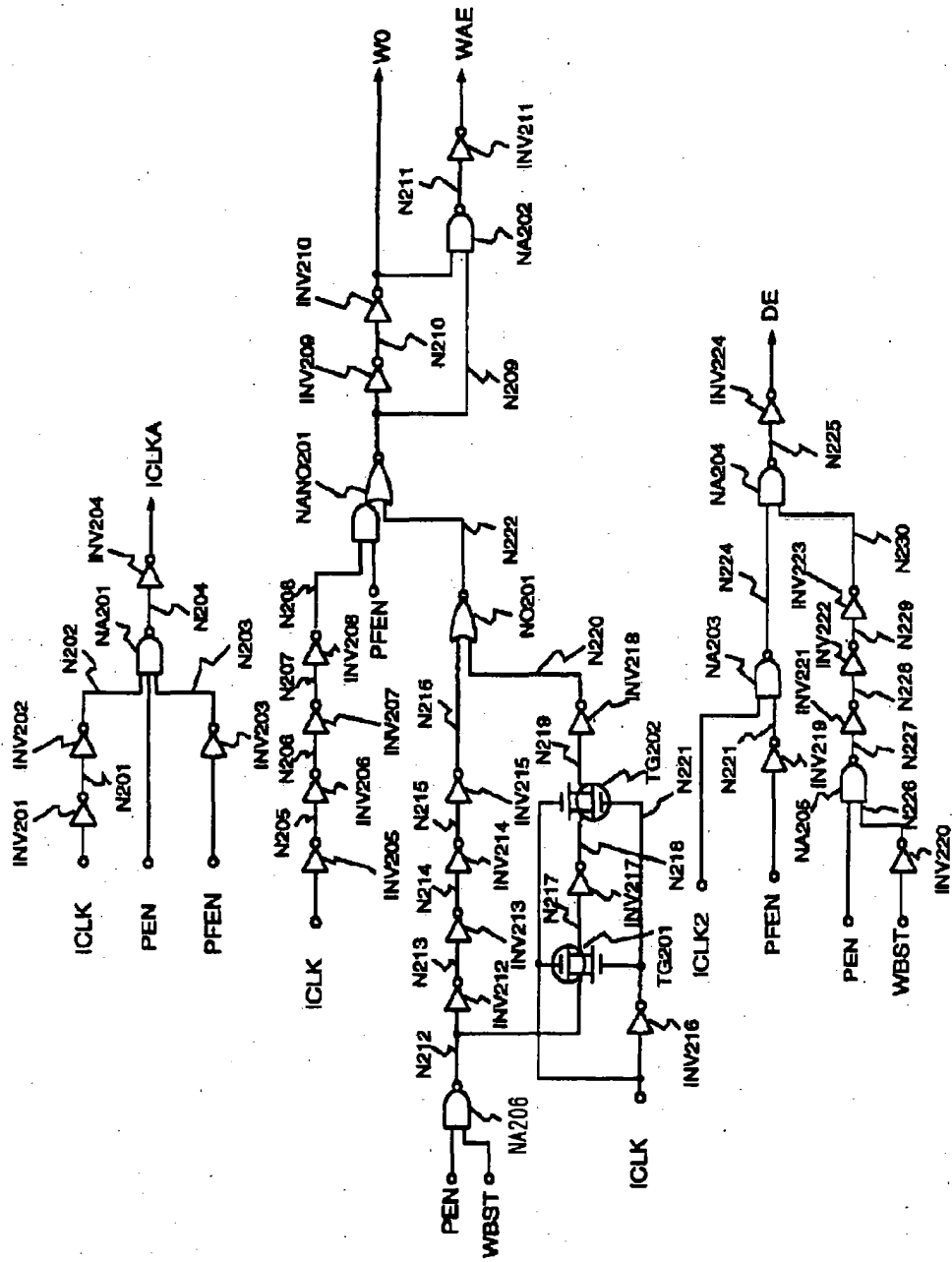
【図3】

図1中のPYE信号発生回路の一例の詳細回路図



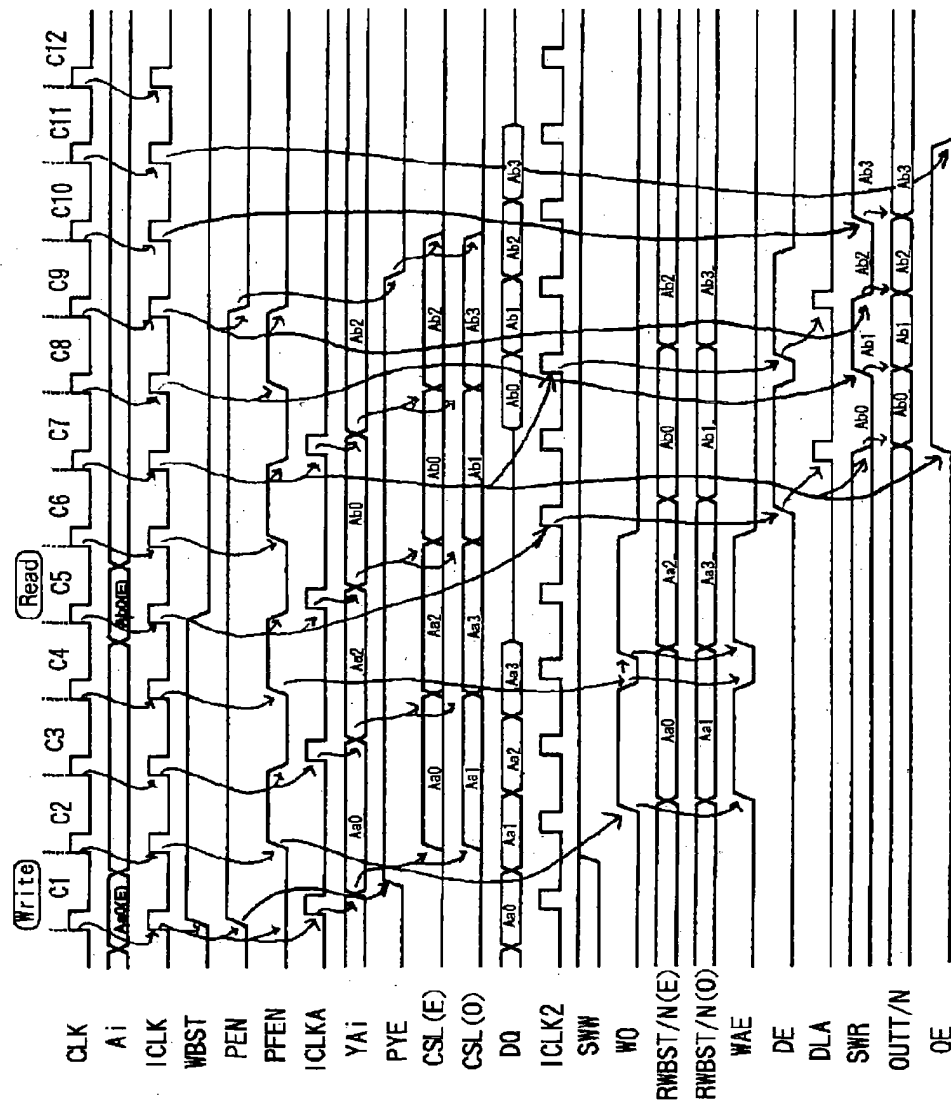
【図2】

図1中の信号発生回路の第1の実施の形態の詳細回路図

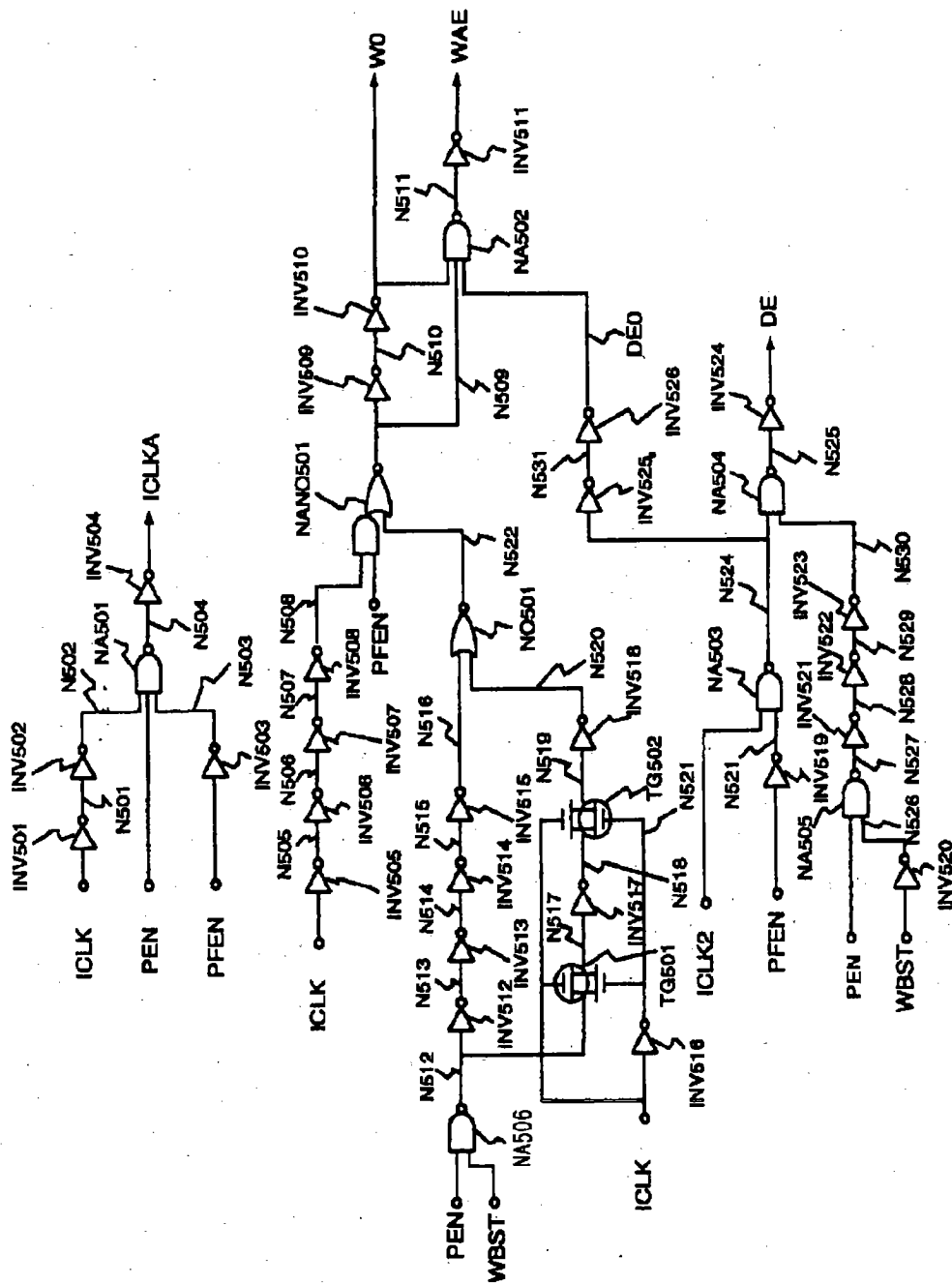


【図4】

本発明の第1の実施の形態の動作説明用タイミングチャート

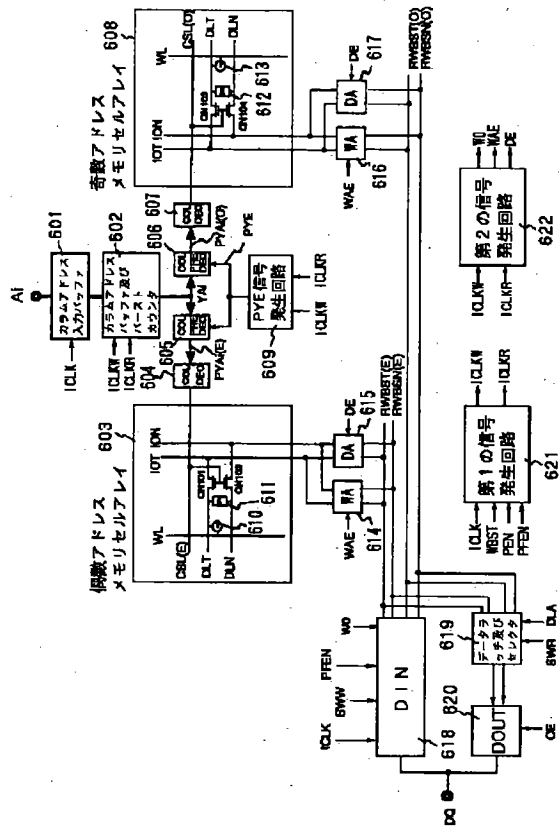


本発明の要部の第2の実施の形態の回路図



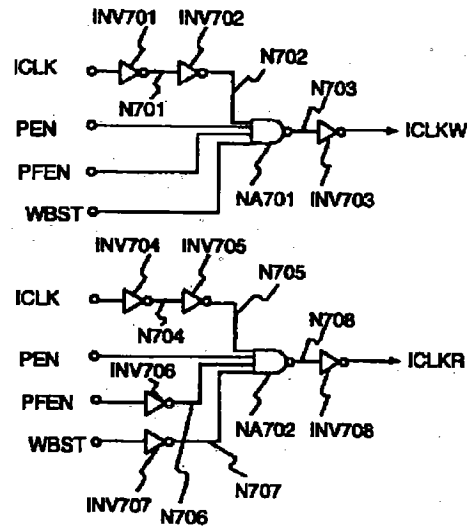
【図6】

従来の一例の回路構成図



【図7】

図6の第1の信号発生回路の一例の詳細回路図



【図8】

図6中の第2の信号発生回路の一例の詳細回路図

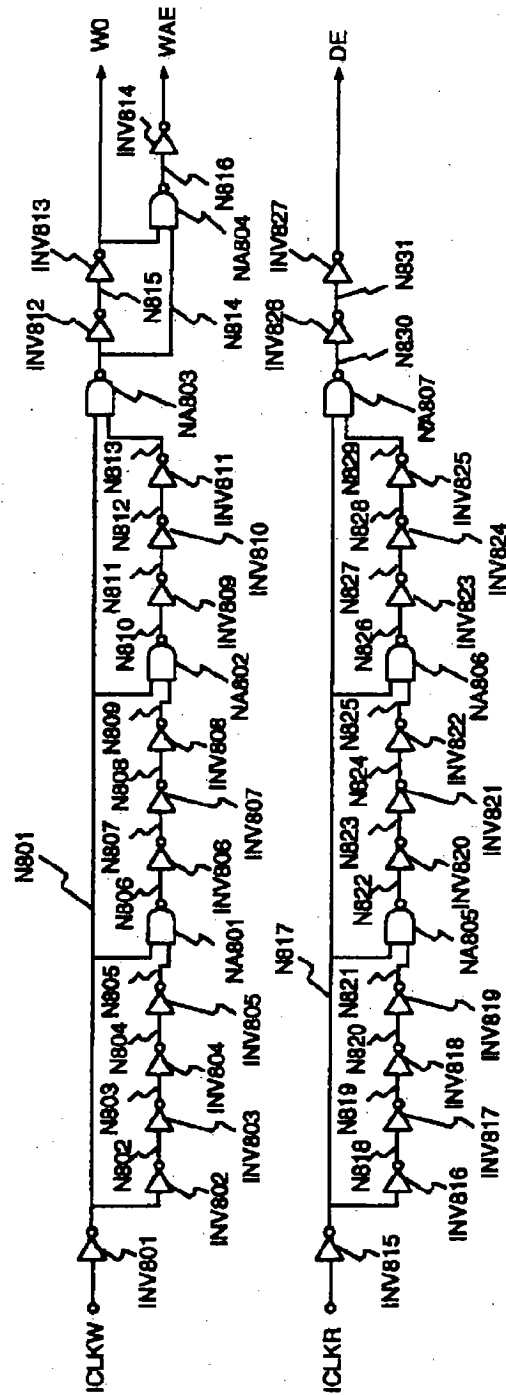
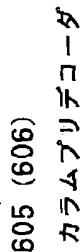
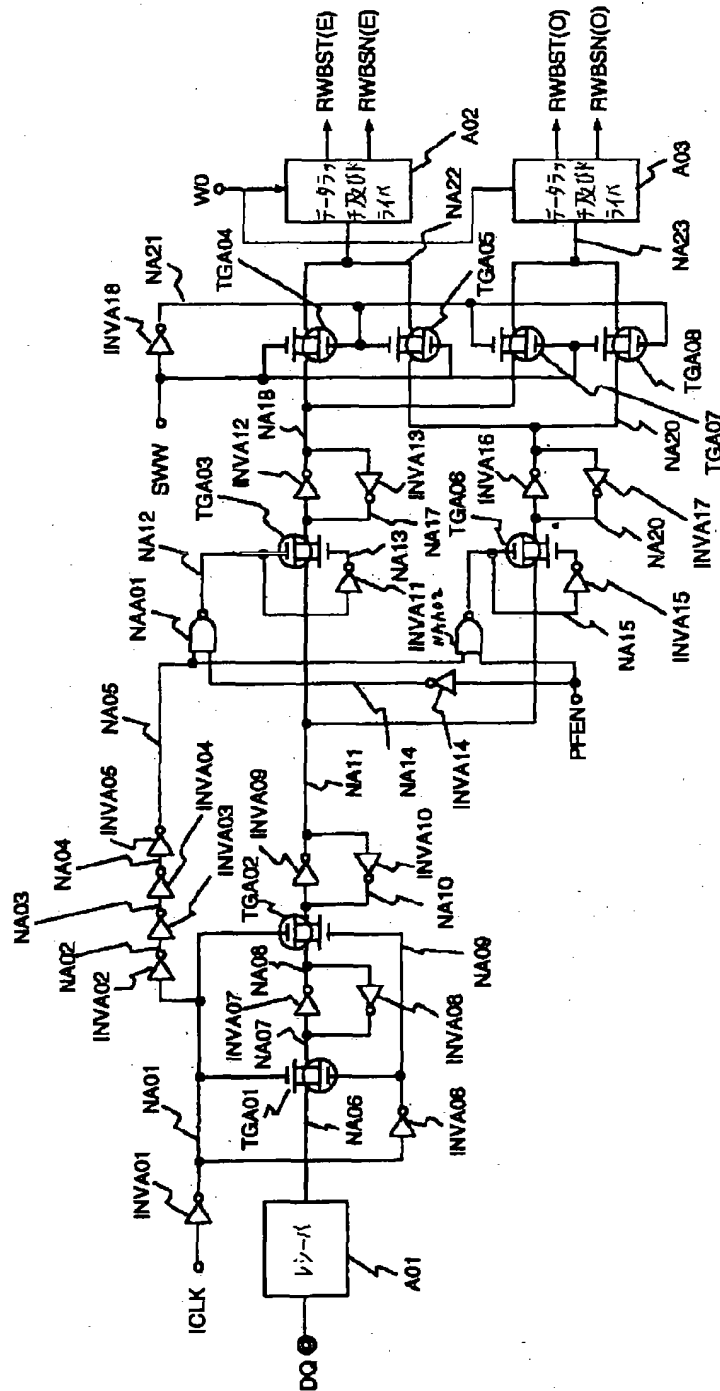


図6中のカラムプリデコードとPYE信号発生回路の詳細回路図



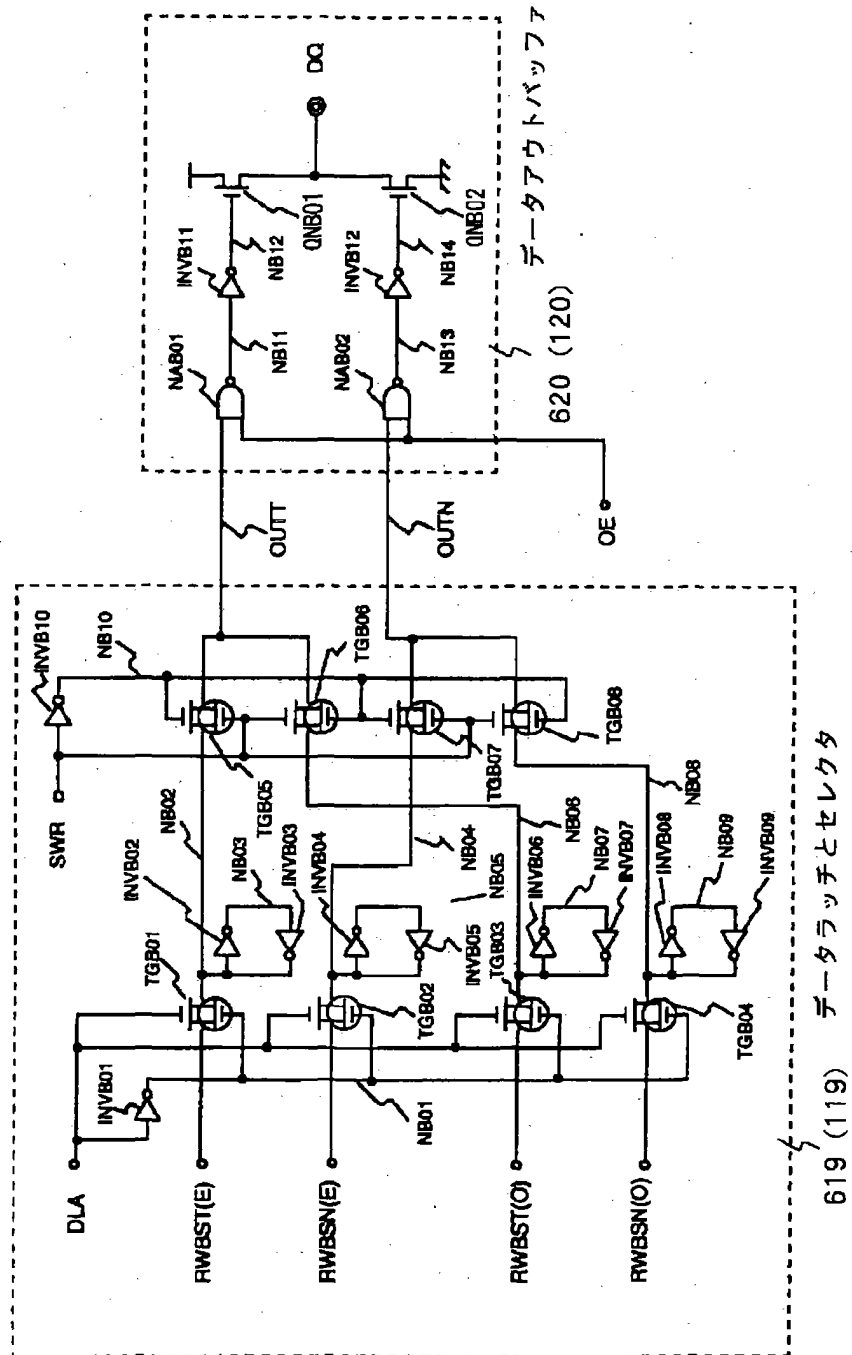
【図10】

データインバッファの一例の詳細回路図



【図11】

データアウトバッファ及びデータラッチとセレクタの一例の詳細回路図



【図12】

従来の動作説明用タイミングチャート

